

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0084390  
Application Number

출원년월일 : 2002년 12월 26일  
Date of Application DEC 26, 2002

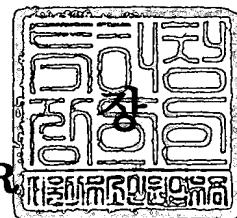
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 29 일

특허청

COMMISSIONER



### 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0027
【제출일자】	2002. 12. 26
【발명의 명칭】	캐패시터 형성 방법
【발명의 영문명칭】	method for fabricating capacitor
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	이기정
【성명의 영문표기】	LEE, Kee Jeung
【주민등록번호】	651012-1026012
【우편번호】	138-160
【주소】	서울특별시 송파구 가락동 가락아파트 100동 101호
【국적】	KR
【발명자】	
【성명의 국문표기】	김해원
【성명의 영문표기】	KIM, Hai Won
【주민등록번호】	700617-1120615
【우편번호】	121-854
【주소】	서울특별시 마포구 신수동 89-9 102호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)

1020020084390

출력 일자: 2003/5/30

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	5	면	5,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	20	항	749,000	원
【합계】	783,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

본 발명은 캐패시터의 정전 용량을 증대시킬 수 있는 캐패시터 형성 방법에 관해 개시한 것으로서, 도전 플러그를 포함한 반도체기판을 제공하는 단계와, 기판 전면에 실리콘 질화막, 습식각 속도비가 다른 이중의 캡옥사이드막을 형성하는 단계와, 실리콘 질화막을 에치스토퍼로 하고 이중의 캡옥사이드막에 선택적으로 건식 및 습식 식각 공정을 차례로 진행하여 도전 플러그를 노출시키는 전하저장 전극용 콘택홀을 형성하는 단계와, 결과물 전면에 전하저장 전극용 실리콘막 및 충진막을 차례로 형성하는 단계와, 이중의 캡옥사이드막 표면이 노출되는 시점까지 충진막 및 전하저장 전극용 실리콘막을 식각하여 원통형 실린더 구조의 전하저장 전극을 형성하는 단계와, 잔류된 충진막 및 이중의 캡옥사이드막을 차례로 제거하는 단계와, 전하저장 전극을 덮는 Ta205 유전체막 및 상부 전극용 TiN막을 차례로 형성하는 단계를 포함한다.

**【대표도】**

도 2e



1020020084390

출력 일자: 2003/5/30

## 【명세서】

### 【발명의 명칭】

캐패시터 형성 방법{method for fabricating capacitor}

### 【도면의 간단한 설명】

도 1a 내지 도 1d는 종래 기술에 따른 캐패시터 형성 방법을 설명하기 위한 공정단면도

도 2a 내지 도 2f는 본 발명에 따른 캐패시터 형성 방법을 설명하기 위한 공정단면도.

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <3> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 보다 구체적으로는 캐패시터의 정전 용량을 증대시킬 수 있는 캐패시터 형성 방법에 관한 것이다.
- <4> 최근 반도체 제조 기술의 발달과 더불어, 메모리 소자의 수요가 급증하고 있다. 데 이터 저장 수단으로 이용되는 커패시터는 전극의 면적, 전극간의 거리 및 전극 사이에 삽입되는 유전막의 유전율에 따라 그 정전용량이 달라진다. 그런데, 반도체 장치가 고집적화됨에 따라 반도체 장치에서 커패시터 형성영역이 줄어들고 그 결과 커패시터의 전극 면적이 작아져서 커패시터의 정전용량이 감소된다.
- <5> 도 1a 내지 도 1d는 종래 기술에 따른 캐패시터 형성 방법을 설명하기 위한 공정단면도이다.

<6> 종래 기술에 따른 캐패시터 형성 방법은, 도 1a에 도시된 바와 같이, 먼저 반도체 기판(1) 상에 비트라인(3)을 형성하고, 상기 비트라인(3) 측면에 절연 스페이서(4)를 형성한다. 이때, 상기 반도체기판(1)에는, 도면에 도시되지 않았지만, 게이트 전극 및 소오스/드레인의 불순물영역을 포함한 트랜지스터가 제조되어 있으며, 상기 트랜지스터 제조에서 비트라인이 형성되기 이전의 공정은 생략하기로 한다.

<7> 이어, 상기 구조 전면에 층간절연막(5), 실리콘 질화막(6) 및 완충막(7)을 차례로 형성한다. 이때, 상기 실리콘 질화막(6)은 후속의 콘택홀 형성을 위한 식각 공정에서 에치스토퍼(etch stopper)역할을 한다. 또한, 상기 완충막(7)으로는 PE-TEOS(Plasma enhanced-Tetraethylorthosilicate) 등의 산화막을 이용하여, 500~1500Å 두께로 형성한다.

<8> 그런 다음, 상기 완충막(7) 상에 콘택영역(미도시)을 노출시키는 감광막 패턴(20)을 형성한다.

<9> 이 후, 상기 감광막 패턴을 마스크로 하고 상기 완충막, 실리콘 질화막 및 층간절연막을 식각하여, 도 1b에 도시된 바와 같이, 콘택홀(h1)을 형성한다 이 후, 감광막 패턴을 제거한다.

<10> 이어, 상기 콘택홀(h1)을 포함한 결과물 전면에 제 1다결정 실리콘막(미도시)을 형성하고 나서, 상기 제 1다결정 실리콘막을 에치백(etch back) 또는 씨엠피(CMP:Chemical Mechanical Polishing)하여 상기 콘택홀(h1)을 매립시키는 도전 플러그(8)를 형성한다.

<11> 이어서, 도 1c에 도시된 바와 같이, 상기 도전 플러그(8)를 포함한 기판 전면에 캡옥사이드막(예컨대 PE-PEOS 또는 PSG막)(9)을 형성하고 나서, 상기 옥사이드막(9) 위에

하드 마스크용 제 2다결정 실리콘막(10)을 형성한다. 그런 다음, 상기 제 2다결정 실리콘막 위에 캐패시터 영역을 한정하는 감광막 패턴(도시되지 않음)을 형성하고 나서, 상기 감광막 패턴을 식각 장벽으로 하여 상기 도전 플러그(8)가 노출되는 시점까지 제 2다결정 실리콘막 및 캡옥사이드막을 식각하여 전하저장 전극용 콘택홀(h2)을 형성한다. 이후, 상기 결과물 전면상에 전하저장 전극용 제 3다결정 실리콘막(11)을 형성한다.

<12> 그런 다음, 도 1d에 도시된 바와 같이, 상기 제 3다결정 실리콘막을 에치백 또는 씨엠피하여 상기 전하저장 전극용 콘택홀(h2)의 내벽 및 외벽을 모두 덮는 원통형 실린더 구조의 전하저장 전극(11a)을 형성한다. 이어, 상기 하드 마스크용 제 2다결정 실리콘막 및 옥사이드막을 제거한다. 이후, 상기 전하저장 전극(11a) 상에  $Ta_2O_5$  유전막(12) 및 TiN 상부전극(13)을 차례로 형성한다. 이어, 메모리 셀지역의 콘택 저항과 주변지역의 콘택저항을 낮추기 위해 캐패시터 TiN 상부 전극(13)을 포함한 결과물에 800~900°C 온도에서 열처리(14)를 실시한다.

#### 【발명이 이루고자 하는 기술적 과제】

<13> 0.13 $\mu m$  이하의 미세 배선 공정이 채용되는 반도체 캐패시터 형성 공정에서는 전하저장 전극의 유효면적을 증대시키기 위해 적어도 15000Å 이상의 캐패시터 높이가 요구된다.

<14> 그러나, 종래의 기술에서는, 콘택홀 형성 시, 충간절연막과 에치스토퍼용 실리콘 질화막 위에 완충막으로서 산화막을 연속해서 증착한 후 상기 막들을 식각함으로써, 실리콘 질화막 위로 도전 플러그가 500~1500Å 두께로 솟아 있기 때문에 상기 두께만큼 전하저장 전극의 면적이 감소되며, 인접한 도전 플러그 간에 브릿지 (bridge) 발생 빈도가 커져서 전기적 불량을 유발한다.

<15> 또한, 종래의 기술에서는 전하저장 전극 형성용 마스크 공정을 완료한 후에 메모리 셀 안쪽 바닥 CD(Critical Dimension)가 원하는 크기만큼 충분히 확보가 되지 않음으로써, 전하저장 전극용 제 3다결정 실리콘막을 형성한 후, Ta<sub>2</sub>O<sub>5</sub>유전막과 TiN상부 전극 형성 시에 스텝 커버리지(step coverage) 불량이 야기되어 캐패시터의 누설 전류가 증가한다.

<16> 한편, 종래의 기술에서는 캐패시터의 TiN 상부 전극을 형성한 이 후에 800~900°C 온도에서 고온의 열처리를 실시함으로써, 상기 열처리 과정에서 TiN 상부 전극과 Ta<sub>2</sub>O<sub>5</sub> 유전막과의 계면에서는 산화 반응이 일어나고, Ta<sub>2</sub>O<sub>5</sub> 유전막 내에서는 산소공공이 생겨나게 되어 결과적으로 Ta<sub>2</sub>O<sub>5</sub> 유전막이 열화되어 유전성이 저하되며, 상부 전극용 TiN막 내에는 Cl-이온이 잔존하기 때문에 캐패시터의 누설 전류 특성이 열화되는 문제점도 있었다.

<17> 이에 본 발명은 상기 종래의 문제점을 해결하기 위해 안출된 것으로, 도전 플러그 가 상기 에치스토퍼인 실리콘 질화막 위로 솟지 않도록 함으로써, 전하저장 전극의 면적을 증가시켜 캐패시터의 정전 용량을 증대시킬 수 있는 캐패시터 형성 방법을 제공함에 그 목적이 있다.

<18> 본 발명의 다른 목적은, 전하저장 전극용 콘택홀 형성 시, 메모리 셀 안쪽 바닥 CD를 원하는 크기만큼 충분히 확보함으로써, Ta<sub>2</sub>O<sub>5</sub>유전막과 TiN상부 전극의 스텝 커버리지 를 개선시킬 수 있는 캐패시터 형성 방법을 제공함에 있다.

<19> 본 발명의 또 다른 목적은 저온의 열처리를 실시함으로써, Ta<sub>2</sub>O<sub>5</sub> 유전막의 유전성 저하를 방지하면서 상부 전극용 TiN막 내 Cl-이온의 잔존율을 감소시켜 캐패시터의 누설 전류를 방지할 수 있는 캐패시터 형성 방법을 제공함에 있다.

### 【발명의 구성 및 작용】

<20> 상기 목적들을 달성하기 위한 본 발명에 따른 캐페시터 형성 방법은 도전 플러그를 포함한 반도체기판을 제공하는 단계와, 기판 전면에 실리콘 질화막, 습식각 속도비가 다른 이중의 캡옥사이드막을 형성하는 단계와, 실리콘 질화막을 에치스토퍼로 하고 이중의 캡옥사이드막에 선택적으로 건식 및 습식 식각 공정을 차례로 진행하여 도전 플러그를 노출시키는 전하저장 전극용 콘택홀을 형성하는 단계와, 결과물 전면에 전하저장 전극용 실리콘막 및 충진막을 차례로 형성하는 단계와, 이중의 캡옥사이드막 표면이 노출되는 시점까지 충진막 및 전하저장 전극용 실리콘막을 식각하여 원통형 실린더 구조의 전하저장 전극을 형성하는 단계와, 잔류된 충진막 및 이중의 캡옥사이드막을 차례로 제거하는 단계와, 전하저장 전극을 덮는 Ta205 유전체막 및 상부 전극용 TiN막을 차례로 형성하는 단계를 포함한 것을 특징으로 한다.

<21> 상기 실리콘 질화막은 LP-CVD 및 PECVD 중 어느 하나의 공정을 이용하여 200~1000Å 두께로 형성하는 것이 바람직하다.

<22> 상기 이중의 옥사이드막은 PSG, BPSG 및 LP-TEOS 중 어느 하나인 제 1옥사이드막과 PE-TEOS인 제 2옥사이드막으로 이루어지며, 제 1옥사이드막은 상기 제 2옥사이드막보다 습식 식각 속도가 빠른 것이 바람직하다.

<23> 상기 이중의 캡옥사이드막 대 상기 실리콘 질화막의 식각선택비를 5~20:1로 유지하는 것이 바람직하다.

<24> 상기 이중의 캡옥사이드막의 건식 식각 공정은 과도 식각 타겟을 10~100%로 진행하는 것이 바람직하다.

<25> 상기 이중의 캡옥사이드막의 습식 식각 공정은 습식액으로 H<sub>2</sub>O<sub>2</sub>와 초순수가 첨가된 HF 액 및 H<sub>2</sub>O<sub>2</sub>와 초순수가 첨가된 HF/NH<sub>4</sub>F의 혼합액 중 어느 하나의 용액을 이용하는 것이 바람직하다.

<26> 상기 전하저장 전극용 실리콘막 형성은, 전하저장 전극용 콘택홀을 포함한 기판 전면에 최종 두께의 30~70%의 불순물이 도핑된 다결정 실리콘막을 1차로 증착하는 단계와, 불순물이 도핑된 실리콘막 위에 나머지 두께의 비정질의 불순물이 도핑되지 않은 실리콘막을 2차로 증착하는 단계와, 결과물에 열처리를 실시하여 50~300Å의 반경을 가진 HSG를 성장시키는 단계를 포함한다.

<27> 상기 전하저장 전극용 실리콘막은 200~600Å 두께로 형성하고, 상기 전하저장 전극용 실리콘막의 식각 공정은 과도 식각 타겟을 5~10%로 진행하는 것이 바람직하다.

<28> 상기 층진막은 감광막 및 USG 산화막 중 어느 하나를 이용하는 것이 바람직하다.

<29> 상기 전하저장 전극용 실리콘막을 형성한 다음, 포스포러스 가스 분위기(1~5%PH<sub>3</sub>/N<sub>2</sub> 또는 PH<sub>3</sub>/He)에서 열도핑 처리를 실시하는 것이 바람직하다.

<30> 상기 열도핑 처리 공정은 600~700°C 온도 및 1~100토르의 압력하에서, 페니스에서 30~120분 동안 진행하는 것이 바람직하다.

<31> 상기 열도핑 처리를 진행하기 이전에, 상기 전하저장 전극용 실리콘막을 포함한 기판에 700~950°C 온도에서 10~100초동안 RTP를 실시하는 것이 바람직하다. 상기 Ta<sub>2</sub>O<sub>5</sub>유전막을 형성한 다음, Ta<sub>2</sub>O<sub>5</sub> 유전체막을 포함한 기판에 1차 열처리를 실시하여 상기 Ta<sub>2</sub>O<sub>5</sub> 유전막 내의 탄소 불순물과 산소 공공을 제거하는 단계와, 상기 구조 전면에 상부 전극용

TiN막을 형성하고 인-시튜로 2차 열처리를 실시하여 상부 전극용 TiN막 내의 C1이온을 제거하는 단계를 추가한다.

<32> 상기 Ta205유전막을 형성하기 이전에, NH<sub>3</sub>분위기 하에서 플라즈마 또는 퍼니스를 사용하여 400~700℃온도에서 질화시키는 것이 바람직하다.

<33> 상기 1차 열처리 공정은 N<sub>2</sub>O 또는 O<sub>2</sub> 분위기에서 600~800℃ 온도로 진행하는 것이 바람직하다.

<34> 상기 1차 열처리를 진행하기 이전 또는 이후에, O<sub>2</sub>(10~200sccm), N<sub>2</sub>(1~10s1m)분위기 하에서 RTP를 실시하는 것이 바람직하다.

<35> 상기 하부 전극용 TiN막은 CVD 방법으로 제 1TiN막을 형성한 다음, 상기 제 1TiN막 상에 스퍼터링 방법으로 제 2TiN막을 형성하는 것이 바람직하다.

<36> 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

<37> 도 2a 내지 도 2f는 본 발명에 따른 캐패시터 형성 방법을 설명하기 위한 공정단면도이다.

<38> 본 발명에 따른 캐패시터 형성 방법은, 도 2a에 도시된 바와 같이, 반도체 기판(100)에 소정 간격의 비트라인(102)을 형성하고 나서, 비트라인(102) 측면에 절연 스페이서(104)를 형성한다. 이때, 상기 반도체기판(100)에는, 도면에 도시되지 않았지만, 게이트 전극 및 소오스/드레인을 포함한 트랜지스터가 제조되어 있으며, 상기 트랜지스터 제조에서 비트라인이 형성되기 이전의 공정은 생략하기로 한다.

<39> 이어, 상기 구조 상에 층간절연막(106)을 형성한 다음, 상기 층간절연막(106) 상에 콘택영역(미도시)을 노출시키는 감광막 패턴(110)을 형성한다.

<40> 그런 다음, 도 2b에 도시된 바와 같이, 상기 감광막 패턴을 마스크로 하고 상기 층간절연막을 건식 식각하여 콘택홀(c1)을 형성한 다음, 상기 감광막 패턴을 제거한다. 이 때, 상기 층간절연막의 건식 식각 공정은 30% 과도 식각으로 진행한다. 이 후, 상기 콘택홀(c1)을 포함한 기판 전면에 제 1다결정 실리콘막(미도시)을 형성한 다음, 상기 제 1다결정 실리콘막을 에치백 또는 씨엠파하여 콘택홀(c1)을 매립시키는 도전 플러그(112)를 형성한다. 이때, 상기 제 1다결정 실리콘막 형성 공정은 LPCVD(Low Pressure Chemical Vapor Deposition)용 장비 또는 RTP(Rapid Thermally Process)용 장비를 사용한다. 또한, 상기 제 1다결정 실리콘막은 포스포러스(phosphorous) 도핑 공정을 실시하여 포스포러스 농도가 2E20 atoms/cc 이상되도록 한다.

<41> 그런 다음, 도 2c에 도시된 바와 같이, 상기 도전 플러그(112)를 포함한 층간절연막 전면에 실리콘 질화막(114), 제 1캡옥사이드막(116) 및 제 2캡옥사이드막(118)을 차례로 형성한다. 이때, 상기 실리콘 질화막(114)은 이 후의 제 1및 제 2옥사이드막 건식 식각 및 습식 식각 공정에서 에치스토퍼 역할을 하는 것으로서, LPCVD, PECVD(Plasma Enhanced Chemical Vapor Deposition) 또는 RTP용 장비를 이용하여 200~800Å 두께로 형성한다. 또한, 상기 제 1 및 제 2 캡옥사이드막(116)(118)은 습식각 속도가 서로 다른 물질을 이용하여, 상기 제 1캡옥사이드막(116)은 제 2캡옥사이드막(118)보다 HF 및 HF/NH4F 혼합액 중 어느 하나의 습식액 내에서 습식각 속도가 빠른 물질을 사용한다. 예로 들면, 상기 제 1캡옥사이드막(116)으로는 PSG, BPSG 또는 LP-TEOS(Low

Pressure-TetraEthylOrthoSilicate)을 이용하며, 제 2캡옥사이드막(118)으로는 PE-TEOS(Plasma Enhanced-TetraEthylOrthoSilicate)을 이용한다.

<42> 계속해서, 도면에 도시되지 않았지만, 상기 제 2옥사이드막(118) 위에 하드 마스크용 제 2다결정 실리콘막 및 반사방지막을 차례로 형성한다. 이때, 상기 반사방지막으로는 SiON 등의 무기물질 또는 유기물질을 이용하며, 300~1000Å 두께로 형성한다. 이하의 도 2d 내지 도 2e에서도 하드마스크용 제 2다결정 실리콘막 및 반사방지막을 생략하기로 한다.

<43> 이 후, 도 2d에 도시된 바와 같이, 상기 제 2옥사이드막(118) 위에 캐패시터 영역을 한정하는 감광막 패턴(도시되지 않음)을 형성한다. 이어, 상기 감광막 패턴을 식각마스크로 하여 상기 제 2 및 제 1캡옥사이드막을 건식 식각 및 습식 식각 공정을 차례로 진행함으로서, 도전 플러그(112)를 노출시키는 전하저장 전극용 콘택홀(c2)을 형성한다. 이때, 상기 전하저장 전극용 콘택홀(c2)은 홀 하부의 제 1캡옥사이드막이 제 2캡옥사이드막에 비해 습식각 속도가 빠르게 진행됨에 따라, 홀 바닥 CD를 원하는 크기만큼 충분히 확보할 수 있다.

<44> 또한, 상기 제 1및 제 2캡옥사이드막의 건식 식각 공정은 과도 식각 타겟을 10~100%까지 진행하며, 상기 습식 식각 공정은 습식액으로는 H2O2와 초순수가 첨가된 HF액 또는 H2O2와 초순수가 첨가된 HF/NH<sub>4</sub>F의 혼합액을 이용한다.

<45> 한편, 상기 실리콘 질화막을 에치스토퍼로 사용하기 위해, 제 1캡옥사이드막과 상기 실리콘 질화막 간의 식각 선택비는 5~20:1로 유지한다.

<46> 이 후, 상기 감광막 패턴을 제거한다.

<47> 이어, 상기 전하저장 전극용 콘택홀(c2)을 포함한 기판 전면에 먼저, 최종 두께의 30~70%의 불순물이 도핑된 다결정 실리콘막을 1차로 증착하고, 계속해서, 불순물이 도핑된 실리콘막 위에 나머지 두께의 비정질의 불순물이 도핑되지 않은 실리콘막을 2차로 증착한 다음, 상기 결과물에 열처리를 실시하여 50~300Å의 반경을 가진 HSG를 성장시켜 전하저장 전극용 실리콘막(120)을 형성한다. 이때, 상기 전하저장 전극용 실리콘막(120)은 200~600Å 두께로 형성한다.

<48> 그런 다음, 상기 전하저장 전극용 실리콘막(120)을 포함한 전면에 메모리 셀 간에 전하저장 전극을 분리하기 위해 상기 구조의 전하저장 전극용 콘택홀(c2) 내에 감광막(122)을 0.5~1.5 $\mu\text{m}$  두께로 도포한다. 이때, 상기 감광막(122) 대신 USG(Undoped Silicate Glass) 산화막을 이용할 수도 있으며, 상기 USG산화막을 이용할 경우 1.0~0.5 $\mu\text{m}$  두께로 형성한다. 또한, 도면에 도시되지 않았지만, 상기 전하저장 전극용 실리콘막(120) 형성 공정 직후에 포스포러스 가스 분위기(1~5% PH<sub>3</sub>/N<sub>2</sub> 또는 50~2000sccm 유량의 PH<sub>3</sub>/50~2000sccm 유량의 He)에서 열도핑 처리를 실시하나, 상기 열도핑 처리는 전하저장 전극용 실리콘막(120) 형성 공정 직후 외에 캐패시터의 유전막 증착 공정 이전에 실시해도 무관하다. 이때, 상기 열도핑 처리 공정은 600~700°C 온도 및 1~100토르(Torr)의 압력 하에서, 퍼니스(furnace)에서 30~120분 동안 진행한다.

<49> 한편, 셀지역과 주변지역의 콘택 저항을 낮추기 위해, 상기 열도핑 처리를 진행하기 이전에 700~950°C 온도에서 10~100초동안 RTP를 진행한다.

<50> 이어서, 도 2e에 도시된 바와 같이, 상기 감광막 및 전하저장 전극용 실리콘막을 차례로 식각하여 전하저장 전극용 콘택홀(c2)의 내벽 및 외벽을 모두 덮는 원통형 실린더 구조의 전하저장 전극(121)을 형성한다. 이때, 상기 감광막 및 전하저장 전극용 실리

콘막(120)을 식각하는 공정에서, 전하저장 전극용 실리콘막을 5~10% 과도 식각한다. 상기 전하저장 전극용 실리콘막을 10% 과도 식각할 경우, 제 2캡옥사이드막이 과도하게 연마됨으로써, 전하저장 전극의 면적이 감소하여 전체적인 캐패시터의 정전 용량이 작아진다.

<51> 한편, 메모리 셀 간에 전하저장 전극(121)을 식각하여 분리할 때, 식각 과정에서 HSG입자들이 부스러져서 후속 세정 과정에서 잘 제거되지 않게 된다. 이럴 경우를 대비하여 상기 감광막에 1000~5000mJ의 노광 에너지를 조사하여 현상한 후, 식각 공정을 진행한다.

<52> 이 후, 잔류된 감광막 및 제 1 및 제 2캡옥사이드막을 제거한다. 이때, 상기 제 1 및 제 2캡옥사이드막은 습식 방법에 의해 제거된다.

<53> 그런 다음, 상기 전하저장 전극(121) 상에 50~100Å 두께의  $Ta_2O_5$  유전막(124)을 형성하고 나서, 상기  $Ta_2O_5$  유전막(124)을 포함한 전체 구조에 N2O 또는 O2 분위기 및 600~800°C 온도에서 1차 열처리(130)를 실시하여  $Ta_2O_5$  유전막(124)내의 탄소 불순물과 산소 공공을 제거한다. 이때, 상기  $Ta_2O_5$  유전막(124)을 형성하기 이전에, 전하저장 전극(121)을 포함한 결과물을 NH3분위기 하에서 플라즈마 또는 퍼니스(furnace)를 사용하여 질화시킨다. 상기 질화 공정은 400~700°C 온도에서 진행된다. 또한, 전하저장 전극(121) 내에 존재하는 불순물의 활성화를 극대화시키기 위해서, 상기 1차 열처리(130)를 실시하기 이전 또는 이후에 O2가스를 10~200sccm 유량으로, N2가스를 1~100slm 유량으로 공급하여 RTP공정을 실시한다.

<54> 이 후, 도 2f에 도시된 바와 같이, 상기 제 1열처리 공정이 완료된  $Ta_2O_5$  유

전막 상에  $TiCl_4$  소오스를 전구체로 사용하여  $100\sim500\text{\AA}$  두께의 TiN 상부 전극(126)을 형성한 다음, 인-시튜로  $NH_3$  가스를 이용하여 2차 열처리(132)를 진행하여 TiN 상부 전극(126) 내의  $C_1$ 이온을 제거한다. 이때, 상기 TiN 상부 전극(126) 형성은 CVD-TiN막을  $100\sim500\text{\AA}$  두께로 형성한다. 또는, 상기 CVD-TiN막은 스텝 커버리지가 불량하여 국부적으로 메모리 셀 상에 TiN 상부 전극이 형성되지 않을 경우 누설 전류가 증가하기 때문에, 상기 TiN 상부 전극(126)을 먼저, CVD-TiN막을 증착한 다음, 스퍼터링 방법을 사용하여 PVD-TiN을 증착하여 형성할 수도 있다.

<55> 또한, 상기 TiN 상부 전극(126) 위에는, 상기 2차 열처리(132) 공정에서 발생할 수 있는 응력(stress) 및 열충격으로부터 보호하기 위한 보호막으로서,  $100\sim1000\text{\AA}$  두께의 불순물이 도핑된 다결정 실리콘막(미도시)을 형성할 수도 있다.

### 【발명의 효과】

<56> 이상에서와 같이, 본 발명은 충간절연막에 콘택홀을 형성하고 나서, 상기 콘택홀을 매립시키는 도전 플러그를 함으로써, 기존의 에치스토퍼용 실리콘 질화막 및 완충 작용을 하는 산화막 형성 과정을 생략 가능하다. 따라서, 단위 공정 수를 줄일 수 있어 생산 원가를 절감할 수 있으며, 도전 플러그가 실리콘 질화막 위로 솟기 때문에 발생되는 전하 저장 전극 면적 감소를 방지할 수 있다.

<57> 또한, 본 발명은, 전하저장 전극용 콘택홀 형성 시, 습식각 속도가 서로 다른 이중의 제 1및 제 2캡옥사이드막 구조를 채용함으로써, 셀 한쪽 바닥 CD를 확보할 수 있으며,  $Ta_2O_5$ 유전막과 TiN 상부 전극 증착 시 스텝 커버리지 향상에 따른 캐패시터의 누설 전류가 감소되어 메모리 셀의 리프레쉬 특성이 개선된다.

<58> 한편, 본 발명은 전하저장 전극용 실리콘막을 형성한 후, 포스포러스 가스 분위기(1~5% PH<sub>3</sub>/N<sub>2</sub> 또는 50~2000sccm 유량의 PH<sub>3</sub>/He 공급) 및 600~700°C 온도에서 열도핑 처리를 실시함으로써, 고온의 열처리 과정에서 발생되는 Ta<sub>2</sub>O<sub>5</sub>유전막의 열화 현상을 제거하고 전하저장 전극으로 부터의 불순물 손실을 방지하여 캐패시터 공핍 현상을 최소화하여 정전 용량을 증대시킨다.

<59> 또한, 본 발명은 TiN 상부 전극을 증착한 후에 인-시튜 상태에서 NH<sub>3</sub> 가스를 이용하여 열처리를 실시함으로써, Ta<sub>2</sub>O<sub>5</sub> 유전막 누설 전류 발생 수준을 감소시켜 정전 용량을 증대시킨다.

<60> 기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

**【특허청구범위】****【청구항 1】**

도전 플러그를 포함한 반도체기판을 제공하는 단계와,

상기 기판 전면에 실리콘 질화막, 습식각 속도비가 다른 이중의 캡옥사이드막을 형성하는 단계와,

상기 실리콘 질화막을 에치스토퍼로 하고 상기 이중의 캡옥사이드막에 선택적으로 건식 및 습식 식각 공정을 차례로 진행하여 상기 도전 플러그를 노출시키는 전하저장 전극용 콘택홀을 형성하는 단계와,

상기 결과물 전면에 전하저장 전극용 실리콘막 및 충진막을 차례로 형성하는 단계와,

상기 이중의 캡옥사이드막 표면이 노출되는 시점까지 상기 충진막 및 전하저장 전극용 실리콘막을 식각하여 원통형 실린더 구조의 전하저장 전극을 형성하는 단계와,

상기 잔류된 충진막 및 이중의 캡옥사이드막을 차례로 제거하는 단계와,

상기 전하저장 전극을 덮는 Ta205 유전체막 및 상부 전극용 TiN막을 차례로 형성하는 단계를 포함한 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 2】**

제 1항에 있어서, 상기 실리콘 질화막은 LP-CVD 및 PECVD 중 어느 하나의 공정을 이용하여 형성하는 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 3】**

제 1항 또는 제 2항에 있어서, 상기 실리콘 질화막은 200~1000Å 두께로 형성하는 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 4】**

제 1항에 있어서, 상기 이중의 옥사이드막은 PSG, BPSG 및 LP-TEOS 중 어느 하나인 제 1옥사이드막과 PE-TEOS인 제 2옥사이드막으로 이루어진 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 5】**

제 4항에 있어서, 상기 제 1옥사이드막은 상기 제 2옥사이드막보다 습식 식각 속도가 빠른 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 6】**

제 1항에 있어서, 상기 이중의 캡옥사이드막의 건식 식각 공정은 과도 식각 타겟을 10 ~100%로 진행하는 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 7】**

제 1항에 있어서, 상기 이중의 캡옥사이드막 대 상기 실리콘 질화막의 식각선택비를 5 ~20:1로 유지하는 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 8】**

제 1항에 있어서, 상기 이중의 캡옥사이드막의 습식 식각 공정은 습식액으로 H2O2와 초순수가 첨가된 HF액 및 H2O2와 초순수가 첨가된 HF/NH<sub>4</sub>F의 혼합액 중 어느 하나의 용액을 이용하는 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 9】**

제 1항에 있어서, 상기 전하저장 전극용 실리콘막은 200~600Å 두께로 형성하는 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 10】**

제 1항 또는 제 9항에 있어서, 상기 전하저장 전극용 실리콘막 형성은, 상기 전하저장 전극용 콘택홀을 포함한 기판 전면에 최종 두께의 30~70%의 불순물이 도핑된 다결정 실리콘막을 1차로 증착하는 단계와, 상기 불순물이 도핑된 실리콘막 위에 나머지 두께의 비정질의 불순물이 도핑되지 않은 실리콘막을 2차로 증착하는 단계와, 상기 결과물에 열처리를 실시하여 50~300Å의 반경을 가진 HSG를 성장시키는 단계를 포함한 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 11】**

제 1항에 있어서, 상기 전하저장 전극용 실리콘막의 식각 공정은 과도 식각 타겟을 5~10%로 진행하는 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 12】**

제 1항에 있어서, 상기 충진막은 감광막 및 USG 산화막 중 어느 하나를 이용하는 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 13】**

제 1항에 있어서, 상기 전하저장 전극용 실리콘막을 형성한 다음, 포스포러스 가스 분위기(1~5%PH3/N2 또는 PH3/He)에서 열도핑 처리를 실시하는 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 14】**

제 13항에 있어서, 상기 열도핑 처리 공정은 600~700°C 온도 및 1~100토르의 압력에서, 퍼니스에서 30~120분 동안 진행하는 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 15】**

제 13항에 있어서, 상기 열도핑 처리를 진행하기 이전에, 상기 전하저장 전극용 실리콘 막을 포함한 기판에 700~950°C 온도에서 10~100초동안 RTP를 실시하는 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 16】**

제 1항에 있어서, 상기 Ta205유전막을 형성한 다음,

상기 Ta205 유전체막을 포함한 기판에 1차 열처리를 실시하여 상기  $Ta_2O_5$  유전막 내의 탄소 불순물과 산소 공공을 제거하는 단계와,

상기 구조 전면에 상부 전극용 TiN막을 형성하고 인-시튜로 2차 열처리를 실시하여 상기 상부 전극용 TiN막 내의 Cl이온을 제거하는 단계를 추가하는 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 17】**

제 1항에 있어서, 상기 Ta205유전막을 형성하기 이전에, NH<sub>3</sub>분위기 하에서 플라즈마 또는 퍼니스를 사용하여 400~700°C 온도에서 질화시키는 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 18】**

제 16항에 있어서, 상기 1차 열처리 공정은 N<sub>2</sub>O 또는 O<sub>2</sub> 분위기에서 600~800℃ 온도로 진행하는 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 19】**

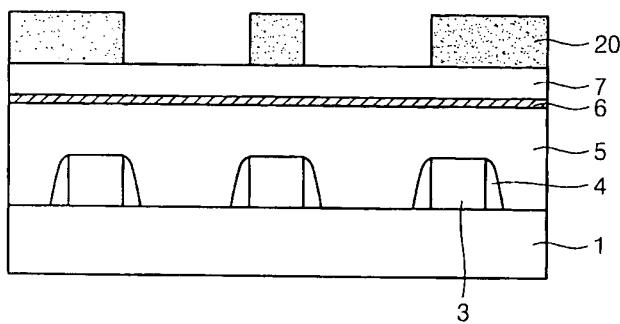
제 16항에 있어서, 상기 1차 열처리를 진행하기 이전 또는 이후에, O<sub>2</sub>(10~200sccm), N<sub>2</sub>(1~10s1m)분위기 하에서 RTP를 실시하는 것을 특징으로 하는 캐패시터 형성 방법.

**【청구항 20】**

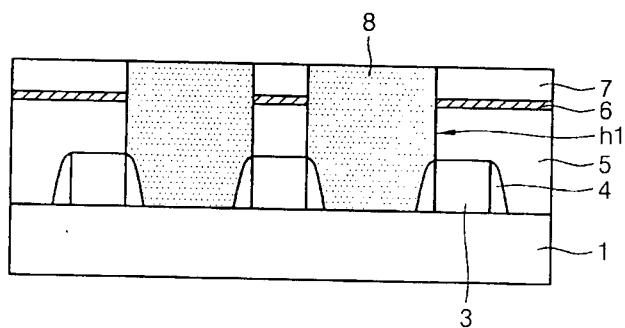
제 1항에 있어서, 상기 하부 전극용 TiN막은 CVD 방법으로 제 1TiN막을 형성한 다음, 상기 제 1TiN막 상에 스퍼터링 방법으로 제 2TiN막을 형성하는 것을 특징으로 하는 캐패시터 형성 방법.

## 【도면】

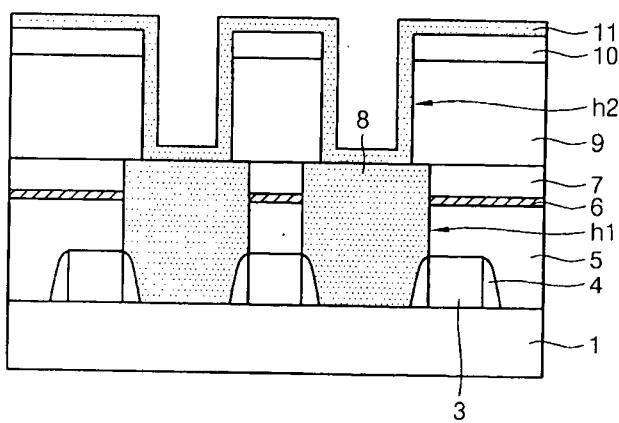
【도 1a】



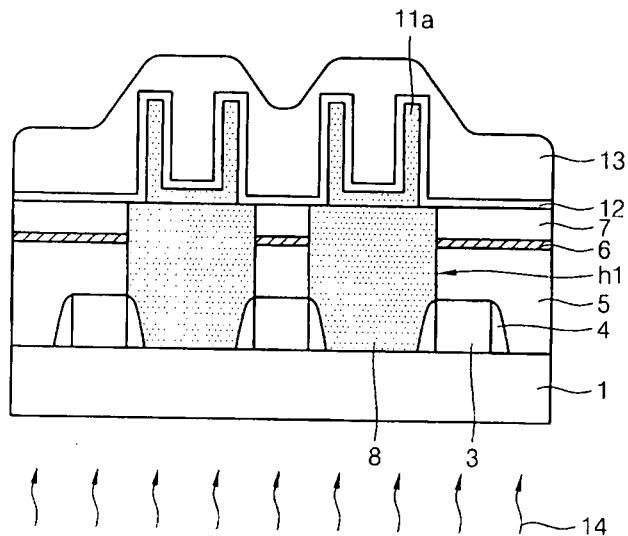
【도 1b】



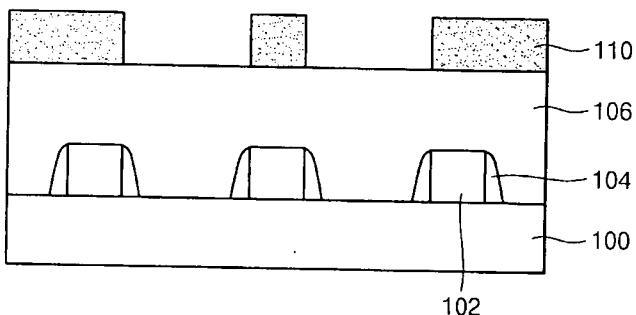
【도 1c】



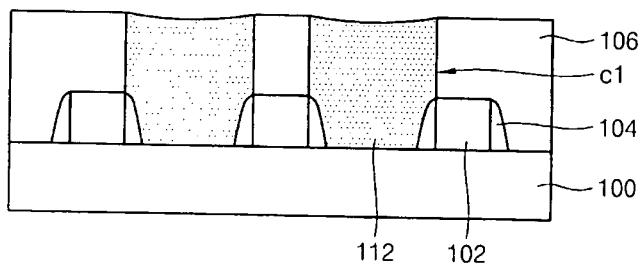
【도 1d】



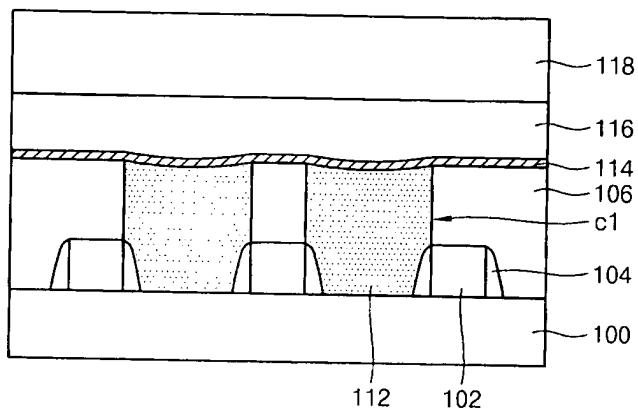
【도 2a】



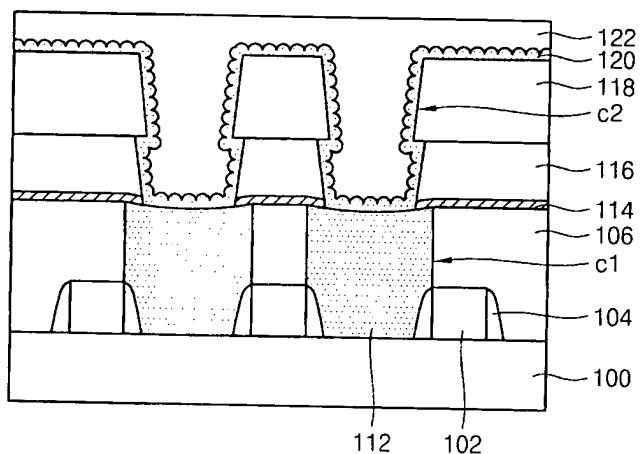
【도 2b】



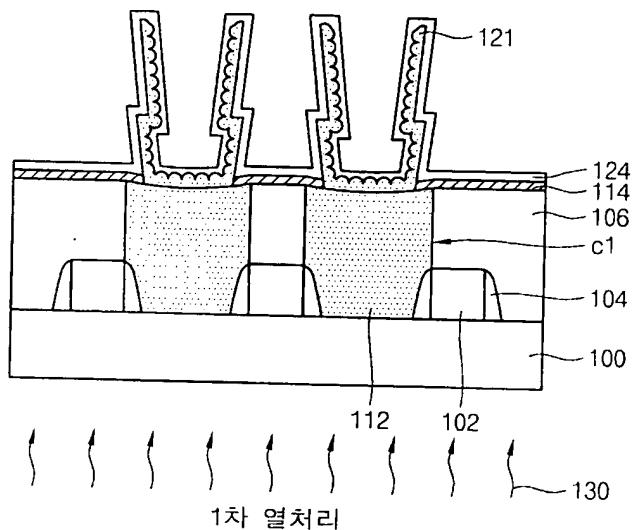
【도 2c】



【도 2d】



### 【도 2e】



【도 2f】

